

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-176981

(P2001-176981A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl.⁷

H 01 L 21/82
G 06 F 17/50

識別記号

F I

テマコト(参考)

H 01 L 21/82
G 06 F 15/60

W 5 B 0 4 6
6 5 8 J 5 F 0 6 4

審査請求 有 請求項の数16 O L (全 16 頁)

(21)出願番号

特願平11-363393

(22)出願日

平成11年12月21日(1999.12.21)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番53

(72)発明者 加藤 利和

神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

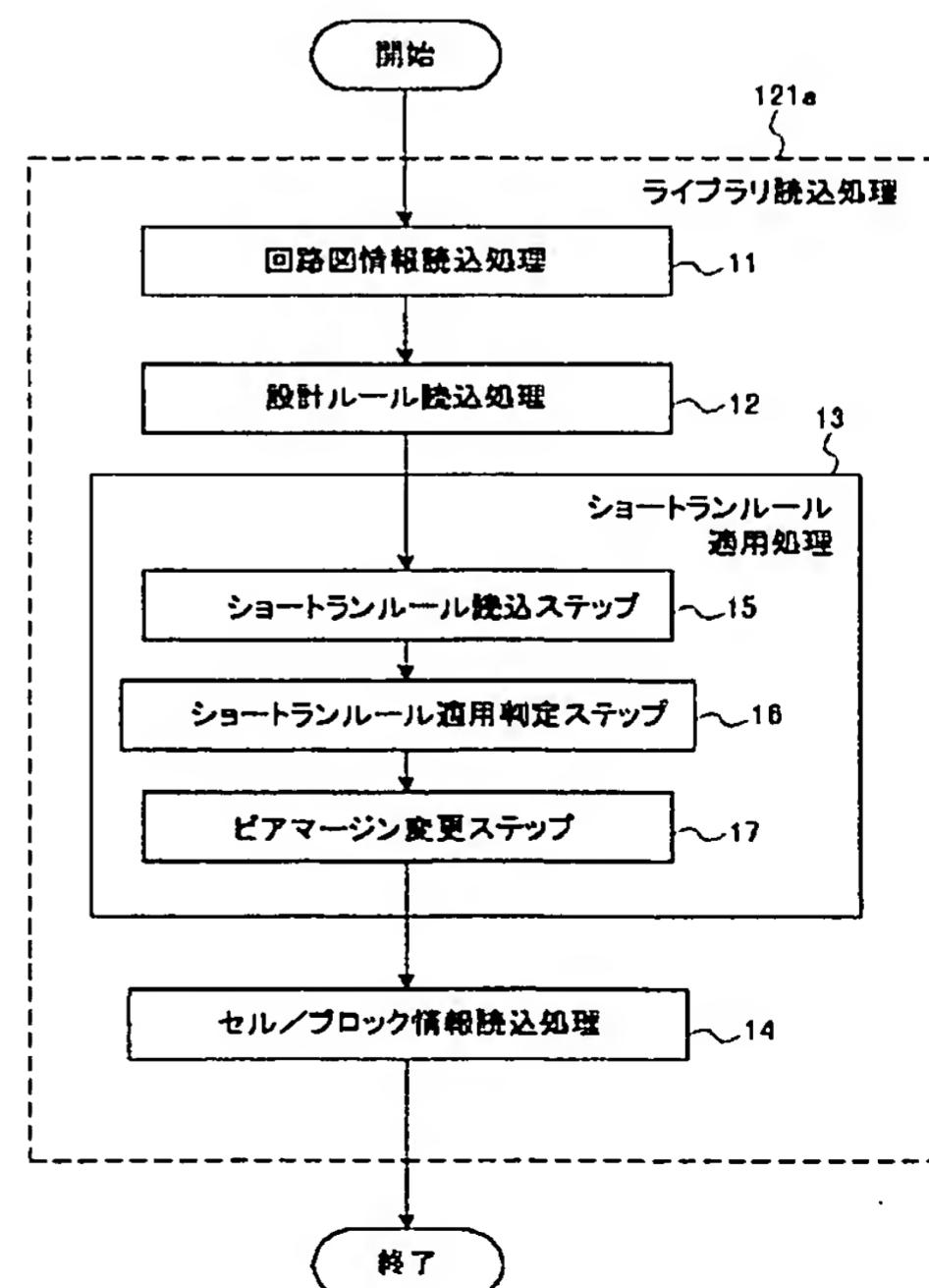
最終頁に続く

(54)【発明の名称】自動配線配線システムの配線方法および自動配線配線システムの配線方法を記録した記録媒体

(57)【要約】

【課題】ショートランルールに対応していない自動配線システムでショートランルールを有効利用した配線を実行できるようにする。

【解決手段】ショートランルール適用判定ステップ16で配線間隔が最も小さい個所であるビアセルと配線またはビアセルとの対向配置個所にショートランルールが適用できるか否かを判定し、適用できる場合にはビアマージン変更ステップ17でショートランルール制限のない配線最小間隔を満足するようにビアマージンを削減した配線時ビアセルデータを作成しこれを用いて自動配線処理を実行し、配線結果の出力処理において配線時ビアセルデータを本来のビアマージンを有するビアセルのアトワクデータに置き換えて出力する。



【特許請求の範囲】

【請求項1】 所定の配線ピッチで設定されたグリッド上に配置配線する自動配置配線システムの配線方法において、

方形状のビアと前記ビアを覆いかつ四方にビアマージン分広げて設けられた上層配線層および下層配線層とを有しライブラリに登録されたビアセルの配線層パタンと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線層パタンとの配線間隔が所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすように前記ビアマージンを設定した配線時ビアセルデータを作成し、
前記配線時ビアセルデータを用いて前記自動配置配線システムにより配置配線した後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換することを特徴とする自動配置配線システムの配線方法。

【請求項2】 所定の配線ピッチで設定されたグリッド上に配置配線する自動配置配線システムの配線方法において、

方形状のビアと前記ビアを覆いかつ四方にビアマージン分広げて設けられた上層配線層および下層配線層とを有しライブラリに登録されたビアセル同士が隣接グリッドに対向配置されるときの配線間隔が所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすように前記ビアマージンを変更した配線時ビアセルデータを作成し、

前記配線時ビアセルデータを用いて前記自動配置配線システムにより配置配線した後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換することを特徴とする自動配置配線システムの配線方法。

【請求項3】 配置配線の実行に先立ち回路図情報、設計ルール、セル／ブロックライブラリを含む情報を読み込むライブラリ読込処理において、ビアセル同士が隣接グリッドに対向配置されるときの配線間隔が所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するショートランルール適用処理を有することを特徴とする請求項2記載の自動配置配線システムの配線方法。

【請求項4】 前記ショートランルール適用処理が、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込むショートランルール読込ステップと、

ビアセル同士が隣接グリッドに対向配置されるときの配線間隔が前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定するショートランルール適用判定ステップと、

前記ショートランルール適用判定ステップでビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するビアマージン変更ステップとを有することを特徴とする請求項3記載の自動配置配線システムの配線方法。

【請求項5】 所定の配線ピッチで設定されたグリッド上に配置配線する自動配置配線システムの配線方法において、

方形状のビアと前記ビアを覆いかつ四方にビアマージン分広げて設けられた上層配線層および下層配線層とを有しライブラリに登録されたビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線との配線間隔が対向配線長制限のない配線最小間隔未満でかつ所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすように前記ビアマージンを変更した配線時ビアセルデータを作成し、
前記配線時ビアセルデータを用いて前記自動配置配線システムにより配置配線した後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換することを特徴とする自動配置配線システムの配線方法。

【請求項6】 配置配線の実行に先立ち回路図情報、設計ルール、セル／ブロックライブラリを含む情報を読み込むライブラリ読込処理において、ビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線との配線間隔が対向配線長制限のない配線最小間隔未満でかつ所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上になることを検出し前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するショートランルール適用処理を有することを特徴とする請求項5記載の自動配置配線システムの配線方法。

【請求項7】 前記ショートランルール適用処理が、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込むショートランルール読込ステップと、

ビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置されるときの配線間隔が対向配線長制限のない配線最小間隔未満でかつ前記ショートラン配線間隔以上になることを検出したときにショートランルール

適用可能と判定してビアマージン変更フラグを変更有り側に設定するショートランルール適用判定ステップと、前記ショートランルール適用判定ステップでビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するビアマージン変更ステップとを有することを特徴とする請求項6記載の自動配置配線システムの配線方法。

【請求項8】 前記ショートランルール読み込みステップが、配置配線時にショートランルールを適用するかを判定する第1のサブステップと、前記第1のサブステップで適用すると判定されたときにショートランルールで指定されるショートラン配線間隔を読み込む第2のサブステップと、ショートランルールの対向長限度値を読み込む第3のサブステップと、ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅を算出する第4のサブステップと、前記ビアセル配線層幅が前記対向長限度値以下であるかを判定し対向長限度値以下であれば前記ショートランルール適用判定ステップに進む第5のサブステップと、前記第1のサブステップで適用しないと判定されたとき又は前記第5のサブステップで前記ビアセル配線層幅が対向配線長限度値以下ではないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記ビアマージン変更ステップに進む第6のサブステップとを有することを特徴とする請求項4, 7記載の自動配置配線システムの配線方法。

【請求項9】 前記ショートランルール適用判定ステップが、ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅を算出する第1のサブステップと、前記ビアセル配線層幅が設計ルールで指定され信号配線に適用される標準配線幅よりも大きいかを判定する第2のサブステップと、前記第2のサブステップで大きいと判定されたときに設計ルールで指定された配線ピッチから前記ビアセル配線層幅を減じて理論最小間隔を求める第3のサブステップと、前記理論最小間隔がショートラン配線間隔以上かを判定する第4のサブステップと、前記第4のサブステップで前記ショートラン配線間隔以上であると判定されたときにビアマージン変更フラグを変更有り側に設定して前記ビアマージン変更ステップに進む第5のサブステップと、前記第2のサブステップで前記ビアセル配線層幅が前記標準配線幅より大きくないと判定されたとき又は前記第4のサブステップで前記理論最小間隔が前記範囲内にないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記ビアマージン変更ステップに進む第6のサブステップとを有することを特徴とする請求項7記載の自動配置配線システムの配線方法。

ラン配線間隔以下ではないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記ビアマージン変更ステップに進む第6のサブステップとを有することを特徴とする請求項4記載の自動配置配線システムの配線方法。

【請求項10】 前記ビアマージン変更ステップが、ビアマージン変更フラグが変更有り側に設定されているかを判定する第1のサブステップと、

前記第1のサブステップで変更有り側に設定されていると判定されたときにビアの辺長にビアマージンの2倍を加算して得られるビアセル配線層幅を設計ルールで指定された配線ピッチから減じて得られる理論最小間隔からさらに配線最小間隔を減じて2で除したものにビアマージンを加えて仮想マージンを算出する第2のサブステップと、

前記ビアマージンを前記仮想マージンに変更する第3のサブステップと、

前記第1のサブステップでビアマージン変更フラグが変更有り側に設定されていないと判定されたとき又は前記

20 第3のサブステップを実行した後に移行して自動配置配線に使用する配線時マージンを決定し配線時ビアセルデータを作成する第4のサブステップとを有することを特徴とする請求項4記載の自動配置配線システムの配線方法。

【請求項11】 前記ショートランルール適用判定ステップが、

ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅を算出する第1のサブステップと、

前記ビアセル配線層幅が設計ルールで指定され信号配線に適用される標準配線幅よりも大きいかを判定する第2のサブステップと、

前記第2のサブステップで大きいと判定されたときに前記ビアセル配線層幅に前記標準配線幅を加算して2で除したものを設計ルールで指定された配線ピッチから減じて理論最小間隔を求める第3のサブステップと、

前記理論最小間隔が配線最小間隔未満かつショートラン配線間隔以上の範囲内にあるかを判定する第4のサブステップと、

前記第4のサブステップで前記範囲内にあると判定されたときにビアマージン変更フラグを変更有り側に設定して前記ビアマージン変更ステップに進む第5のサブステップと、

前記第2のサブステップで前記ビアセル配線層幅が前記標準配線幅より大きくないと判定されたとき又は前記第4のサブステップで前記理論最小間隔が前記範囲内にないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記ビアマージン変更ステップに進む第6のサブステップとを有することを特徴とする請求項7記載の自動配置配線システムの配線方法。

【請求項12】 前記ビアマージン変更ステップが、

ピアマージン変更フラグが変更有り側に設定されているかを判定する第1のサブステップと、
前記第1のサブステップで変更有り側に設定されていると判定されたときにピアの辺長にピアマージンの2倍を加算して得られるピアセル配線層幅に設計ルールで定められる標準配線幅を加算して2で除したものを設計ルールで指定された配線ピッチから減じて得た理論最小間隔をもとにさらにピアマージンを加え配線最小間隔を減じて仮想マージンを算出する第2のサブステップと、
前記ピアマージンを前記仮想マージンに変更する第3のサブステップと、
前記第1のサブステップでピアマージン変更フラグが変更有り側に設定されていないと判定されたとき又は前記第3のサブステップを実行した後に移行して自動配置配線に使用する配線時マージンを決定し配線時ピアセルデータを作成する第4のサブステップとを有することを特徴とする請求項7記載の自動配置配線システムの配線方法。

【請求項13】 ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込む第1のプログラムと、
ピアセル同士が隣接グリッドに対向配置されるときの配線間隔が前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してピアマージン変更フラグを変更有り側に設定する第2のプログラムと、
前記第2のプログラムで前記ピアマージン変更フラグが変更有り側に設定されたときに前記ピアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにピアマージンを変更した配線時ピアセルデータを作成する第3のプログラムと、
配置されたロック及びセル間の配線を前記配線時ピアセルデータを用いて行う第4のプログラムと、
配線完了後に前記配線時ピアセルデータを前記ピアセルに対応したアートワークデータに置換する第5のプログラムとを有することを特徴とする自動配置配線システムの配線方法を記録したコンピュータ読み取り可能な記録媒体。

【請求項14】 前記第1のプログラムが、
配置配線時にショートランルールを適用するかを判定する第1のステップと、前記第1のステップで適用すると判定されたときにショートランルールで指定されるショートラン配線間隔を読み込む第2のステップと、
ショートランルールの対向長限度値を読み込む第3のステップと、
ピアの辺長にピアマージンの2倍を加えてピアセル配線層幅を算出する第4のステップと、
前記ピアセル配線層幅が前記対向長限度値以下であるかを判定し対向長限度値以下であれば前記前記第2のプログラムに進む第5のステップと、

前記第1のステップで適用しないと判定されたとき又は前記第5のステップで前記ピアセル配線層幅が対向配線長限度値以下ではないと判定されたときにピアマージン変更フラグを変更無し側に設定して前記第3のプログラムに進む第6のステップとを有し、
前記第2のプログラムが、
前記ピアセル配線層幅が設計ルールで指定され信号配線に適用される標準配線幅よりも大きいかを判定する第7のステップと、
10 前記第7のステップで大きいと判定されたときに設計ルールで指定された配線ピッチから前記ピアセル配線層幅を減じて理論最小間隔を求める第8のステップと、
前記理論最小間隔がショートラン配線間隔以上かを判定する第9のステップと、
前記第9のステップで前記ショートラン配線間隔以上であると判定されたときにピアマージン変更フラグを変更有り側に設定して前記第3のプログラムに進む第10のステップと、
前記第7のステップで前記ピアセル配線層幅が前記標準配線幅より大きくないと判定されたとき又は前記第9のステップで前記理論最小間隔が前記ショートラン配線間隔以下ではないと判定されたときにピアマージン変更フラグを変更無し側に設定して前記第3のプログラムに進む第11のステップとを有し、
前記第3のプログラムが、
前記ピアマージン変更フラグが変更有り側に設定されているかを判定する第12のステップと、
前記第12のステップで変更有り側に設定されていると判定されたときに前記理論最小間隔から設計ルールで定められた配線最小間隔を減じて2で除したものに前記ピアマージンを加えて仮想マージンを算出する第13のステップと、
前記ピアマージンを前記仮想マージンに変更する第14のステップと、
前記第12のステップで前記ピアマージン変更フラグが変更有り側に設定されていないと判定されたとき又は前記第14のステップを実行した後に移行して自動配置配線実行時の配線時マージンを決定し配線時ピアセルデータを作成する第15のステップとを有する請求項13記載の自動配置配線システムの配線方法を記録したコンピュータ読み取り可能な記録媒体。
【請求項15】 ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込む第1のプログラムと、
ピアセルと該ピアセルが配置されたグリッドの隣接グリッドに対向配置されるときの配線間隔が対向配線長制限のない配線最小間隔未満かつ前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してピアマージン変更フラグを変更有り側に設定する第2のプログラムと、
50

前記第2のプログラムで前記ビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成する第3のプログラムと、
配置されたブロック及びセル間の配線を前記配線時ビアセルデータを用いて行う第4のプログラムと、
配線完了後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換する第5のプログラムとを有することを特徴とする自動配置配線システムの配線方法を記録したコンピュータ読み取り可能な記録媒体。

【請求項16】 前記第1のプログラムが、
配置配線時にショートランルールを適用するかを判定する第1のステップと、
前記第1のステップで適用すると判定されたときにショートランルールで指定されるショートラン配線間隔を読み込む第2のステップと、
ショートランルールの対向長限度値を読み込む第3のステップと、
ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅を算出する第4のステップと、
前記ビアセル配線層幅が前記対向長限度値以下であるかを判定し対向長限度値以下であれば前記前記第2のプログラムに進む第5のステップと、
前記第1のステップで適用しないと判定されたとき又は前記第5のステップで前記ビアセル配線層幅が対向配線長限度値以下ではないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記第3のプログラムに進む第6のステップとを有し、
前記第2のプログラムが、
前記ビアセル配線層幅が設計ルールで指定され信号配線に適用される標準配線幅よりも大きいかを判定する第7のステップと、
前記第7のステップで大きいと判定されたときに前記ビアセル配線層幅に前記標準配線幅を加算して2で除したもので設計ルールで指定された配線ピッチから減じて理論最小間隔を求める第8のステップと、
前記理論最小間隔が配線最小間隔未満かつショートラン配線間隔以上の範囲内にあるかを判定する第9のステップと、
前記第9のステップで前記範囲内にあると判定されたときにビアマージン変更フラグを変更有り側に設定して前記第3のプログラムに進む第10のステップと、
前記第7のステップで前記ビアセル配線層幅が前記標準配線幅より大きくはないと判定されたとき又は前記第9のステップで前記理論最小間隔が前記範囲内にはないと判定されたときにビアマージン変更フラグを変更無し側に設定して前記第3のプログラムに進む第11のステップとを有し、

(5) 8

前記第3のプログラムが、
前記ビアマージン変更フラグが変更有り側に設定されているかを判定する第12のステップと、
前記第12のステップで変更有り側に設定されていると判定されたときに前記理論最小間隔に前記ビアマージンを加え前記配線最小間隔を減じて仮想マージンを算出する第13のステップと、
前記ビアマージンを前記仮想マージンに変更する第14のステップと、
前記第12のステップで前記ビアマージン変更フラグが変更有り側に設定されていないと判定されたとき又は前記第14のステップを実行した後に移行して自動配置配線実行時の配線時マージンを決定し配線時ビアセルデータを作成する第15のステップとを有する請求項15記載の自動配置配線システムの配線方法を記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、自動配置配線システムの配線方法に関し、特に所定の条件を満たすときに設計ルールに定められた配線最小間隔よりも小さい配線間隔を部分的に許容するショートランルールを適用して配線可能な自動配置配線システムの配線方法および自動配置配線システムの配線方法を記録した記録媒体に関する。

【0002】

【従来の技術】 大規模集積回路(LSI)のレイアウト設計においては、ライブラリとして準備されている論理機能単位(ブロック)を用いて記述された回路図およびチップサイズをもとに、ライブラリにある配線に関する情報を用いてチップ全体の配線に関するアートワークデータを作成する。アートワークデータの作成は、通常、コンピュータを用いたCAD(Computer Aided Design)による自動配置配線システムを用いて行われる。近年のLSIチップの大規模化、高密度化の急激な進展に伴い、自動配置配線システムにおいても自動配線密度の向上が望まれている。このため自動配置配線システムに対して、より多層の配線層を使用した配線機能を装備するとともに、異なる配線層間を接続するビアを多数含んでも高密度に配線できるように性能向上要求が強まっている。

【0003】 次に、従来使用されている自動配線システムの構成および配置配線フローの概要について説明する。図11は、自動配置配線システムの構成図である。自動配置配線システム1は、読込/前処理手段6により、回路図情報ファイル2から設計対象LSIを構成する各ブロックの端子間の接続情報を読み込み、セル/ブロックライブラリ3に登録されたビアやNANDゲートなどのセル情報、複雑な論理機能を実現するブロックの情報から、設計対象LSIに使用するセル/ブロックに

関するアートワークデータを読み込み、設計ルールファイル4から各配線層の配線ピッチ、配線幅および配線最小間隔、ビアセルを構成する各要素の寸法等の配置配線時および検証時に使用する設計ルールを読み込む。読み込んだ情報に基づいて、自動配置配線手段本体7は配置配線用のデータを作成し、配置配線を実行する。配置配線の実行結果は配置配線結果検証手段8により検証され、不具合がなければアートワークデータに再変換した後に自動配置配線システム1から配置配線結果出力ファイル5に出力される。不具合が発見された場合には、自動配置配線システム1に付属した図示していない入力/編集手段により不具合点の修正および配置配線の再実行等が行われる。

【0004】図12は、配置配線処理全体のフロー図である。ライブラリ読込処理121では、予め回路図情報ファイル2、セル／ブロックライブラリ3、設計ルールファイル4にライブラリデータとして登録しておいた回路図情報、配線ピッチ、配線幅、配線の最小間隔、ビアの辺長、配置するブロックの情報を、自動配置配線システムが読み込んで配置配線のルール設定を行う。セル／ブロック配置処理122では、回路図に記述されているプリミティブセルおよび論理機能ブロックをLSIチップ内に自動的に配置する。セル／ブロック間配線処理123では、設定された配置配線ルールにしたがって各セル／ブロックの端子間を自動配線する。配置配線検証処理124では、未配置ブロック、配線の未接続部やショート部等の不具合が無いことを検証し、最終的に配置配線済データ出力処理125で配置配線システム用のデータをLSIを構成する各層のパターンに対応したアートワークデータに変換して配置配線結果出力ファイル5に出力し、終了する。

【0005】図13は、図12におけるライブラリ読込処理121の詳細フロー図である。従来のライブラリ読込処理121は、回路図情報を回路図情報ファイル2から自動配置配線システムに読み込む回路図情報読込処理131と、設計ルール情報を設計ルールファイル4から読み込む設計ルール読込処理132と、配置配線に使用するセル／ブロックの情報をセル／ブロックライブラリ3から読み込むセル／ブロック情報読込処理133からなる。

【0006】設計ルール読み込み処理132はさらに、配線用のグリッドの間隔を示す配線ピッチPを読み込むステップ134と、信号配線の標準的な配線幅Wを読み込むステップ135と、配線と他の配線との間隔の許容最小値である配線最小間隔Sを読み込むステップ136と、ビアセルのビアの辺長Vを読み込むステップ137と、ビアマージンMを読み込むステップ138とを有している。

【0007】図14(a)はビアセルの平面図であり、(b)はLSIに搭載したときの断面模式図である。図

14(a) のビアセル 23において、上層の配線と下層の配線とを接続するビア 141は辺長が V の正方形形状であり、(b) のように上層の配線層 21a および下層配線層 22a は、LSI 製造時のリソグラフィ工程において下層の配線層パターンとビアとの間およびビアと上層の配線層パターンとの間に重ね合わせのズレが生じてもビア 141 が上層配線層 21a および下層配線層 22a からはみ出すことが無いように、ビアの四方にビアマージン M を設けて下層配線層 22a および上層配線層 21a を広げている。142 はシリコン酸化膜等の絶縁層である。

【0008】図13において、セル／ブロック情報読込処理133は、ビアセル23のアートワークセル名を読み込むステップ139と、配置に使用するセル／ブロック情報を読み込むステップ140とを有している。

【0009】従来の配線方法によるアートワークデータ出力を模式的に示した配線例図を図15(a)および(b)に示す。図15(a)の第1従来例の配線例図は、設計ルールが、配線ピッチ $P = 1.00 \mu m$, 配線幅 $W = 0.50 \mu m$, 配線最小間隔 $S = 0.50 \mu m$, ビアの辺長 $V = 0.50 \mu m$, ビアマージン $M = 0.05 \mu m$ とした場合である。配線同士が隣接したグリッドに対向して配置された個所の配線間隔は $(P - W) = 0.50 \mu m$ であり配線最小間隔 $S = 0.50 \mu m$ を満足するが、ビアセルが配線と対向して配置された個所の配線間隔は $(P - V - M) = 0.45 \mu m$ となり、またビアセル同士が対向して配置された個所の配線間隔は $(P - V - M - M) = 0.40 \mu m$ となり、いずれも配線最小間隔 $S = 0.50 \mu m$ を満足しない。このために図15(a)のようにビアセル23の周囲は1ピッチ分空けて他の配線21又はビアセル23を配置しなければならないので、この配線例では占有面積 $A = 15.00 \mu m^2$ となり、ブロック間の配線に対するビアセルの割合が多くなるほど占有面積が増大することになる。なお、21は上層の配線で、22は下層配線である。

【0010】図15(b)の第2従来例の配線例図は、隣接したグリッドに対向配置されたビアセル同士の配線間隔が配線最小間隔Sを満たすように、配線ピッチP = $(V + M + M + S) = 1.10 \mu m$ として配線するもので、この配線例では占有面積A = $10.89 \mu m^2$ で配線することができる。ただし、対象配線層についてはLSI全面に渡って配線ピッチP = $1.10 \mu m$ となるので、ビアセル個数が少ない場合には、図15(a)の第1従来例に比較して逆に占有面積が増大してしまうことがある。

【0011】図16は特開平3-29343号公報に記載された第3従来例の配線方法のピアセル置換処理フロー図である。ピアセル置換処理160は、図12のセル/ブロック間配線処理123と配置配線検証処理124との間に挿入して実行される。この第3の従来例において

ては、図17の配線例図に示すように、ビアセル171, 172等の原点位置の異なる複数のビアセルを準備しておき、ビアが設けられた個所の周囲の状況を認識して複数の原点の異なるビアセルの中から適切なビアセルを選択して置換する。

【0012】図16において、まずステップ161で配置配線済データを読み込み、ステップ162で原点の異なる複数のビアセルの読み込みを行い、ステップ163でビアセルが設けられた各個所の周囲の配線状態の認識を行い、ステップ164で各ビアセルの原点の認識を行い、ステップ165で、図17の第3従来例の配線例図に示すようにビアがビアセルと配線およびビアセル同士の配線間隔配線最小間隔Sを満たす範囲で小となるよう各ビアセルを最適な原点位置をもつビアセルの選択変更を行い、ステップ166で変更したビアセルへの置換を行う。

【0013】結果として図17のように原点の異なるビアセル171, 172が配置され、この配線例では配線ピッチP=1.00μmとして占有面積A=12.00μm²で配線することができる。第3実施例は、第1実施例より必ず占有面積が小さくでき、第2実施例と比較してもビアセル個数が少ない場合には有利となる。しかしながら、近年の大規模なLSIにおいては、使用するビアセルの個数は数百万個にも上り、各ビアセルについて4種類乃至5種類の原点の異なるビアセルの中から周囲の配線状態から最適の原点のビアセルを選択するには十時間を超える処理時間を必要とする。

【0014】

【発明が解決しようとする課題】従来の設計ルールでは、許容される配線間隔の最小値は配線最小間隔Sで定められる1種類のみであったが、近年ではあらたに、所定の対向配線長限度値SL以下であれば配線最小値よりも小さい所定の配線間隔であるショートラン配線間隔SSまで許容するショートランルールが採用され、論理機能ブロックの高密度化に効果を上げている。しかしながら図11の自動配置配線手段本体7自体には、ショートランルールに対応して配線最小間隔Sとショートラン間隔SSの2つの間隔制限を考慮して最適な配線を行うものは未だ無く、制限値として大きい方の配線最小間隔Sのみを考慮して配線せざるを得ないために面積削減は第1, 第2, 第3従来例として説明した配線方法によるしかなく、自動配置配線システムによる配線においてはショートランルールを有効に活用してLSIチップの面積を低減することが困難であった。

【0015】本発明の目的は、自動配置配線システムによる配線であってもショートランルールを有効に活用することができ、LSIチップの面積を低減することのできる自動配置配線システムの配線方法を提供することにある。

【0016】

【課題を解決するための手段】本発明の第1の発明の自動配置配線システムの配線方法は、所定の配線ピッチで設定されたグリッド上に配置配線する自動配置配線システムの配線方法において、方形状のビアと前記ビアを覆いかつ四方にビアマージン分広げて設けられた上層配線層および下層配線層とを有しライブラリに登録されたビアセル同士が隣接グリッドに対向配置されるときの配線間隔が所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすように前記ビアマージンを変更した配線時ビアセルデータを作成し、前記配線時ビアセルデータを用いて前記自動配置配線システムにより配置配線した後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換することを特徴としている。

【0017】第1の発明では、配置配線の実行に先立ち回路図情報、設計ルール、セル/ブロックライブラリを含む情報を読み込むライブラリ読込処理において、ビアセル同士が隣接グリッドに対向配置されるときの配線間隔が所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するショートランルール適用処理を有してもよい。さらに、前記ショートランルール適用処理が、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込むショートランルール読込ステップと、ビアセル同士が隣接グリッドに対向配置されるときの配線間隔が前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定するショートランルール適用判定ステップと、前記ショートランルール適用判定ステップでビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するビアマージン変更ステップとを有してもよい。

【0018】第2の発明の自動配置配線システムの配線方法は、所定の配線ピッチで設定されたグリッド上に配置配線する自動配置配線システムの配線方法において、方形状のビアと前記ビアを覆いかつ四方にビアマージン分広げて設けられた上層配線層および下層配線層とを有しライブラリに登録されたビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線との配線間隔が対向配線長制限のない配線最小間隔未満でかつ所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上であることを検出して前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満

たすように前記ビアマージンを変更した配線時ビアセルデータを作成し、前記配線時ビアセルデータを用いて前記自動配置配線システムにより配置配線した後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換することを特徴としている。

【0019】第2の発明では、配置配線の実行に先立ち回路図情報、設計ルール、セル／ブロックライブラリを含む情報を読み込むライブラリ読込処理において、ビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線との配線間隔が対向配線長制限のない配線最小間隔未満でかつ所定の対向長限度内で所定の間隔まで許容するショートラン配線間隔以上になることを検出し前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するショートランルール適用処理を有してもよい。さらに、前記ショートランルール適用処理が、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込むショートランルール読込ステップと、ビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置されるときの配線間隔が対向配線長制限のない配線最小間隔未満でかつ前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定するショートランルール適用判定ステップと、前記ショートランルール適用判定ステップでビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するビアマージン変更ステップとを有してもよい。

【0020】第3の発明の自動配置配線システムの配線方法を記録したコンピュータ読み取り可能な記録媒体は、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込む第1のプログラムと、ビアセル同士が隣接グリッドに対向配置されるときの配線間隔が前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定する第2のプログラムと、前記第2のプログラムで前記ビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成する第3のプログラムと、配置されたブロック及びセル間の配線を前記配線時ビアセルデータを用いて行う第4のプログラムと、配線完了後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換する第5のプログラムとを有している。

【0021】第4の発明の自動配置配線システムの配線

方法を記録したコンピュータ読み取り可能な記録媒体は、ショートランルール適用可能な所定の対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込む第1のプログラムと、ビアセルと該ビアセルが配置されたグリッドの隣接グリッドに対向配置されるとときの配線間隔が対向配線長制限のない配線最小間隔未満でかつ前記ショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定する第2のプログラムと、前記第2のプログラムで前記ビアマージン変更フラグが変更有り側に設定されたときに前記ビアセルを基に対向配置時の配線間隔が前記配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成する第3のプログラムと、配置されたブロック及びセル間の配線を前記配線時ビアセルデータを用いて行う第4のプログラムと、配線完了後に前記配線時ビアセルデータを前記ビアセルに対応したアートワークデータに置換する第5のプログラムとを有している。

【0022】

【発明の実施の形態】本発明の配線方法は、配線間隔が最も小さい個所であるビアセルと配線またはビアセルとの対向配置個所にショートランルールが適用できるか否かを判定し、適用できる場合にはショートランルール制限のない配線最小間隔を満足するようにビアマージンを削減した自動配線処理専用の配線時ビアセルデータを作成して自動配線処理を実行し、配線結果の出力処理において配線時ビアセルデータを本来のビアマージンを有するビアセルのアートワークデータに置き換えて出力することにより、ショートランルールに対応していない自動配置配線システムでショートランルールを有効利用した配線を実行できるようにするものである。

【0023】以下に、本発明について図面を参照して詳細に説明する。図1は、本発明の一実施形態のライブラリ読込処理のフロー図である。本実施の形態において、自動配置配線システムおよび入力ファイル出力ファイルの構成は、読込／前処理手段6で実行する処理以外は図11の従来の構成と同一であり、また配置配線処理全体のフローもライブラリ読込処理121以外は図12の従来例で説明したものと同一であるので、本実施の形態における自動配置配線システムの構成と配置配線処理全体のフローについての説明は省略する。

【0024】図1において、ライブラリ読込処理121aは、回路図情報読込処理11と、設計ルール読込処理12と、ショートランルール適用処理13と、セル／ブロック情報読込処理14とを有している。本実施の形態は、図12のライブラリ読込処理121に換えて図1のライブラリ読込処理121aを用いるものであり、さらに詳細には、図13の従来のライブラリ読込処理のフローの設計ルール読込処理132とセルブロック情報読込処理133との間にショートランルール適用処理13を

挿入したものである。図1の回路図情報読込処理11は図13の従来の回路図情報読込処理131と同一の処理であり、同様に設計ルール読込処理12は設計ルール読込処理132と同一の処理であり、セル/ブロック情報読込処理14はセル/ブロック情報読込処理133と同一の処理であるので、これらについても説明を省略する。

【0025】さらに、ライブラリ読込処理121a内のショートランルール適用処理13は、ショートランルールを適用可能な対向長限度値と許容できるショートラン配線間隔とを含む情報を読み込むショートランルール読込ステップ15と、ビアセルの配線層パターンと該ビアセルが配置されたグリッドの隣接グリッドに対向配置される配線層パターンとの配線間隔がショートラン配線間隔以上になることを検出したときにショートランルール適用可能と判定してビアマージン変更フラグを変更有り側に設定するショートランルール適用判定ステップ16と、ショートランルール適用判定ステップでビアマージン変更フラグが変更有り側に設定されたときにビアセルのデータを基に対向配置時の配線間隔が配線長制限のない配線最小間隔を満たすようにビアマージンを変更した配線時ビアセルデータを作成するビアマージン変更ステップ17とを有している。

【0026】図2(a), (b)は、本実施の形態における配線およびビアセルに関する設計ルールの一例を示す図である。ビアセル23は下層配線22と上層の配線21との接続に設けられ、辺長Vの正方形状のビアを覆って四方にビアマージンMだけ広がった下層および上層の配線層パターンを有している。配線21と別の同層の配線21とは最小でも配線ピッチPの間隔をあけたグリッド上に配置され、それぞれの配線21は信号配線の標準的な配線幅Wを有している。配線21と別の配線21とは配線最小間隔S以上の間隔を維持して配線する必要があるが、ショートランルールで定められた対向長限度値SL以下での対向長の範囲では、ショートラン配線間隔SSまでの配線間隔が許容される。したがって全般的には配線ピッチP $\geq (W + S)$ であるが、対向配線長がSL以下の個所に限り P $\geq (W + SS)$ まで許容される。

【0027】次に、ショートランルール読込ステップ15、ショートランルール適用判定ステップ16、ビアマージン変更ステップ17の詳細について説明するとともに、ショートランルールの対向長限度値SL = 1.00 μm、ショートラン間隔SS = 0.40 μmとして例題を用いて具体的に説明する。例題は第1従来例、第2従来例、第3従来例と同様に、配線ピッチP = 1.00 μm、配線幅W = 0.50 μm、配線最小間隔S = 0.50 μm、ビアの辺長V = 0.50 μm、ビアマージンM = 0.05 μmとし、ビア同士の隣接グリッド対向配置を許容するものとする。

【0028】図3は、図1のショートランルール読込ス

テップ15の詳細フロー図である。ショートランルール読込ステップ15では、まずサブステップ31では、自動配置配線においてショートランルールを適用するか否かを判定する。

【0029】サブステップ31でショートランルールを適用すると判定された場合には、サブステップ32に進み、ショートランルールで指定されるショートラン配線間隔SSを読み込む。次に、サブステップ33に進み、ショートランルールの対向長限度値SLを読み込む。

【0030】次のサブステップ34では、ビアの辺長VにビアマージンMの2倍を加えてビアセル配線層幅V2Mを算出、すなわち、 $V2M = (V + M + M)$ の計算を行う。次のサブステップ35では、ビアセル配線層幅V2Mが前記対向長限度値SL以下であるか、すなわち $V2M \leq SL$ を満たすかを判定し、これを満たす場合にはショートランルール読込ステップ15を終了してショートランルール適用判定ステップ16に進む。

【0031】サブステップ31でショートランルールを適用しないと判定された場合、又はサブステップ35で $V2M \leq SL$ を満たさないと判定された場合には、サブステップ36に進み、ビアマージン変更フラグを変更無し側に設定からショートラン読込ステップ15を終了してビアマージン変更ステップ17に進む。

【0032】例題では、サブステップ34でビアセル配線層幅V2M = 0.50 + 0.05 + 0.05 = 0.60 μmとなり、対向長限度値SL = 1.00 μmなので、 $V2M \leq SL$ を満足するので、ショートランルール適用判定ステップ16に進む。

【0033】なお、サブステップ31に関連して、ショートランルールを有効とするか無効とするかの指定は予めライブラリ中に登録してもよく、または自動配置配線システムの起動時に外部から指定してもよい。また、設計ルールが予め $V2M \leq SL$ を満足するように定められている場合には、サブステップ33、サブステップ34、サブステップ35を削除してもよい。

【0034】図4は、ショートランルール適用判定ステップ16の詳細フロー図である。まず、サブステップ41で、ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅V2Mを算出する。ショートランルール読込ステップ15のサブステップ34で既にビアセル配線層幅V2Mを計算済のときには、サブステップ41を省略してもよい。

【0035】次にサブステップ42に進み、ビアセル配線層幅V2Mが、信号配線に適用される標準配線幅Wよりも大きいか、すなわち $V2M > W$ を満足するかを判定する。サブステップ42で $V2M > W$ を満足すると判定された場合にはサブステップ43に進み、配線ピッチPからビアセル配線層幅V2Mを減じて理論最小間隔S1の算出、すなわち $S1 = (P - V2M)$ の計算を行う。

【0036】次にサブステップ44に進み、理論最小間

隔 S₁ がショートラン配線間隔 S_S 以上であるか、すなわち S₁ ≥ S_S を満足するかを判定する。S₁ ≥ S_S を満足する場合にはサブステップ 4.5 に進み、ビアマージン変更フラグを変更有り側に設定し、ショートランルール適用判定ステップ 1.6 を終了してビアマージン変更ステップ 1.7 に進む。

【0037】サブステップ 4.2 で V_{2M} > W を満足しないと判定された場合又はサブステップ 4.4 で S₁ ≥ S_S を満足しないと判定された場合にはサブステップ 4.6 に進み、ビアマージン変更フラグを変更無し側に設定してショートランルール適用判定ステップ 1.6 を終了してビアマージン変更ステップ 1.7 に進む。

【0038】例題では、サブステップ 4.1 でビアセル配線層幅 V_{2M} = 0.60 μm となり、サブステップ 4.2 で配線幅 W = 0.50 μm に対して V_{2M} > W を満足すると判定されるので、サブステップ 4.3 に進んで理論最小間隔 S₁ = (1.00 - 0.60) = 0.40 μm が算出される。サブステップ 4.4 で S₁ = S_S = 0.40 μm なので S₁ ≥ S_S を満足すると判定され、サブステップ 4.5 でビアマージン変更フラグを変更有り側に設定し、ビアマージン変更ステップ 1.7 に進む。。

【0039】図 5 は、ビアマージン変更ステップ 1.7 の詳細フロー図である。まず、サブステップ 5.1 でビアマージン変更フラグが変更有り側に設定されているかを判定する。ビアマージン変更フラグが変更有り側に設定されていると判定された場合にはサブステップ 5.2 に進み、ショートランルール適用判定ステップ 1.6 のサブステップ 4.3 で算出した理論最小間隔 S₁ から配線最小間隔 S を減じて 2 で除したものにビアマージン M を加えて仮想マージン M₁ を算出、すなわち仮想マージン M₁ = M + (S₁ - S) / 2 を計算する。次に、サブステップ 5.3 に進み、ビアマージン M を前記仮想マージン M₁ に変更する。

【0040】サブステップ 5.1 でビアマージン変更フラグが変更有り側に設定されていないと判定された場合又はサブステップ 5.3 を実行した後に進み、自動配置配線に使用する配線時マージン MR を決定し配線時ビアセルデータを作成してビアマージン変更ステップ 1.7 を終了する。この結果として、サブステップ 5.1 でビアマージン変更フラグが変更有り側にセットされたと判定された場合には、配線時ビアセルデータの配線時マージン MR はサブステップ 5.2 で算出した仮想ビアマージン M₁ に等しくなり、サブステップ 5.1 でビアマージン変更フラグが変更有り側にセットされていないと判定された場合には、配線時ビアセルデータの配線時マージン MR は設計ルールに定められたビアマージン M に等しくなる。

【0041】例題では、サブステップ 5.1 でビアマージン変更フラグが変更有り側であると判定されて、サブステップ 5.2 で仮想マージン M₁ = (0.05 + (0.40 - 0.50) / 2) = 0 μm と算出され、サブステッ

プ 5.4 で配線時ビアセルデータの配線時ビアマージン MR = 0 μm が決定される。

【0042】ビアマージン変更ステップ 1.7 終了後は、図 1 のセル／ブロック情報読込処理 1.4 に進み、図 1.3 の従来フローのセルブロック情報読込処理 1.3.3 におけると同様に、ビア部分のアートワークデータを示すアートワークセル名を読み込んでビアセルデータに付加する。アートワークデータそのもののビアマージンは M (例題では 0.05 μm) である。

【0043】本実施の形態の適用により、図 1.2 における自動配置配線システム 1 によるセル／ブロック間配線処理 1.2.3 を実行するときには、ビアマージンとして配線時ビアマージン MR (例題では 0 μm) に変更された配線時ビアセルデータを用いるので、図 6 の配線結果を模式的に示した図にあるように、配線対向個所、配線時ビアセル対向個所のいずれにおいても配線最小間隔 S を満足するため、配置配線検証処理 1.2.4 において不具合が検出されることはない。

【0044】配置配線済データ出力処理 1.2.5 において、配線結果の配線時ビアセルデータに対応するビアセルのアートワークセル名を検出してアートワークデータを出力することにより、図 6 におけるビアマージン 0 μm の配線時ビアセル 6.1 は本来のビアマージン 0.05 μm のビアセル 2.3 に置き換えられて出力される。図 7 は、本実施の形態を適用したときの配置例図である。配線ピッチ 1.00 μm のグリッド上にビアセル 2.3 同士が対向配置されているが、ビアセルの配線層同士の間隔がショートランルールを満たすことはショートランルール適用処理 1.3 により保証されており、ショートランルールを有効に使用できるので、図 7 では占有面積 A = 9.00 μm² となり、第 1, 第 2, 第 3 従来例のいずれよりも占有面積を低減した配線が可能となる。

【0045】図 3, 図 4, 図 5 では、ビアセル同士の対向配置を許容する自動配置配線システムにおいて、最も配線間隔の小さいビアセル同士の対向配置個所にショートランルールが適用できるか否かを判定して、適用できる場合にビアセル同士の配線層間隔が配線最小間隔を満足するようにビアマージンを変更した。しかしながら、ビアマージンが大きい設計ルールを用いて自動配線するときには、ビアセル同士の対向配置個所で制約されて配線ピッチが大きくなることを回避するために、配線と配線およびビアセルと配線の対向配置のみを許容し、ビアセル同士の対向配置を禁止した自動配置配線システムを用いることが多い。第 2 実施形態として、このような自動配置配線システムにショートランルールを有効に適用できる配線方法を述べる。

【0046】第 2 実施形態では、図 1 のショートランルール適用処理 1.3 の中のショートランルール適用判定ステップ 1.6 とビアマージン変更ステップ 1.7 が第 1 実施形態とは異なる。第 1, 第 2 実施形態で共通なショート

ランルール読み込みステップの説明は省略して、以下に、変更されたステップについて説明する。

【0047】図8は、ショートランルール適用判定ステップ16aの詳細フロー図である。まず、サブステップ81で、ビアの辺長にビアマージンの2倍を加えてビアセル配線層幅V2Mを算出する。ショートランルール読み込みステップ15のサブステップ34で既にビアセル配線層幅V2Mを計算済のときには、サブステップ81を省略してもよいことは図4と同様である。

【0048】次にサブステップ82に進み、ビアセル配線層幅V2Mが、信号配線に適用される標準配線幅Wよりも大きいか、すなわち $V2M > W$ を満足するかを判定する。サブステップ82で $V2M > W$ を満足すると判定された場合にはサブステップ83に進み、ビアセル配線層幅V2Mに配線幅Wを加えて2で除したものを配線ピッチPから減じて理論最小間隔S2の算出、すなわち $S2 = (P - (V2M + W) / 2)$ の計算を行う。

【0049】次にサブステップ84に進み、理論最小間隔S2が配線最小間隔S未満かつショートラン配線間隔SS以上の範囲内にあるか、すなわち $S2 \geq SS$ を満足するかを判定する。 $S > S2 \geq SS$ を満足する場合にはサブステップ85に進み、ビアマージン変更フラグを変更有り側に設定し、ショートランルール適用判定ステップ16aを終了してビアマージン変更ステップ17aに進む。

【0050】サブステップ82で $V2M > W$ を満足しないと判定された場合又はサブステップ84で $S > S2 \geq SS$ を満足しないと判定された場合にはサブステップ86に進み、ビアマージン変更フラグを変更無し側に設定してショートランルール適用判定ステップ16aを終了してビアマージン変更ステップ17aに進む。

【0051】図9は、ビアマージン変更ステップ17aの詳細フロー図である。まず、サブステップ91でビアマージン変更フラグが変更有り側に設定されているかを判定する。ビアマージン変更フラグが変更有り側に設定されていると判定された場合にはサブステップ92に進み、ショートランルール適用判定ステップ16aのサブステップ83で算出した理論最小間隔S2から配線最小間隔Sを減じたものにビアマージンMを加えて仮想マージンM2を算出、すなわち仮想マージン $M2 = M + (S2 - S)$ を計算する。次に、サブステップ93に進み、ビアマージンMを前記仮想マージンM2に変更する。

【0052】サブステップ91でビアマージン変更フラグが変更有り側に設定されていないと判定された場合又はサブステップ93を実行した後に進み、自動配置配線に使用する配線時マージンMRを決定し配線時ビアセルデータを作成してビアマージン変更ステップ17aを終了する。この結果として、サブステップ91でビアマージン変更フラグが変更有り側にセットされたと判定された場合には、配線時ビアセルデータの配線時マージンM

Rはサブステップ92で算出した仮想ビアマージンM2に等しくなり、サブステップ91でビアマージン変更フラグが変更有り側にセットされていないと判定された場合には、配線時ビアセルデータの配線時マージンMRは設計ルールに定められたビアマージンMに等しくなる。

【0053】以降の配線、出力等の処理については、第1実施形態と同じである。図10は第2実施形態の配線例図である。ビアマージンが大きいビアセル101と配線21との間隔はショートラン間隔SS以上を確保して配線される。

【0054】なお、図8のショートランルール適用判定ステップ16aにおいて、サブステップ84の判定条件を、図3のショートランルール適用判定ステップ16のサブステップ44と同様に、単に $S2 \geq SS$ を満たすか否かとしてもよく、また、図3のサブステップ44の判定条件を、図8のサブステップ84と同様に、 $S > S1 \geq SS$ を満たすか否かとしてもよい。

【0055】また、図5のビアマージン変更ステップ17のサブステップ53ではビアマージンMを仮想ビアマージンM1に置き換えているが、サブステップ53で $0 \leq M \leq M1$ の範囲の任意の値にビアマージンMを再設定するとしても、本発明の効果に実用上の支障はない。同様に図9のビアマージン変更ステップ17aのサブステップ93を、 $0 \leq M \leq M2$ の範囲の任意の値にビアマージンMを再設定するとしても支障はない。

【0056】

【発明の効果】以上説明したように、本発明の配線方法では、配線間隔が最も小さい個所であるビアセルと配線またはビアセルとの対向配置個所にショートランルールが適用できるか否かを判定し、適用できる場合にはショートランルール制限のない配線最小間隔を満足するようビアマージンを削減した自動配線処理専用の配線時ビアセルデータを作成して自動配線処理を実行し、配線結果の出力処理において配線時ビアセルデータを本来のビアマージンを有するビアセルのアートワークデータに置き換えて出力するので、ショートランルールに対応していない自動配置配線システムにおいてもショートランルールを有効利用した配線を実行できるようにすることが可能となり、配線領域を大幅に低減することができLSIチップの面積を低減することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施形態のライプラリ読み込み処理のフロー図である。

【図2】本実施の形態における配線およびビアセルに関する設計ルールの一例を示す図である。

【図3】ショートランルール読み込みステップの詳細フロー図である。

【図4】ショートランルール適用判定ステップの詳細フロー図である。

【図5】ビアマージン変更ステップの詳細フロー図である。

【図6】配線結果を模式的に示した図である。

【図7】第1実施形態を適用したときの配置例図である。

【図8】第2実施形態のショートランルール適用判定ステップの詳細フロー図である。

【図9】第2実施形態のビアマージン変更ステップの詳細フロー図である。

【図10】第2実施形態の配線例図である。

【図11】自動配置配線システムの構成図である。

【図12】配置配線処理全体のフロー図である。

【図13】従来のライプラリ読込処理の詳細フロー図である。

【図14】(a)はビアセルの平面図であり、(b)はLSIに搭載したときの断面模式図である。

【図15】(a)は第1従来例の配線例図で、(b)は第2従来例の配線例図である。

【図16】第3従来例の配線方法のビアセル置換処理フロー図である。

【図17】第3従来例の配線例図である。

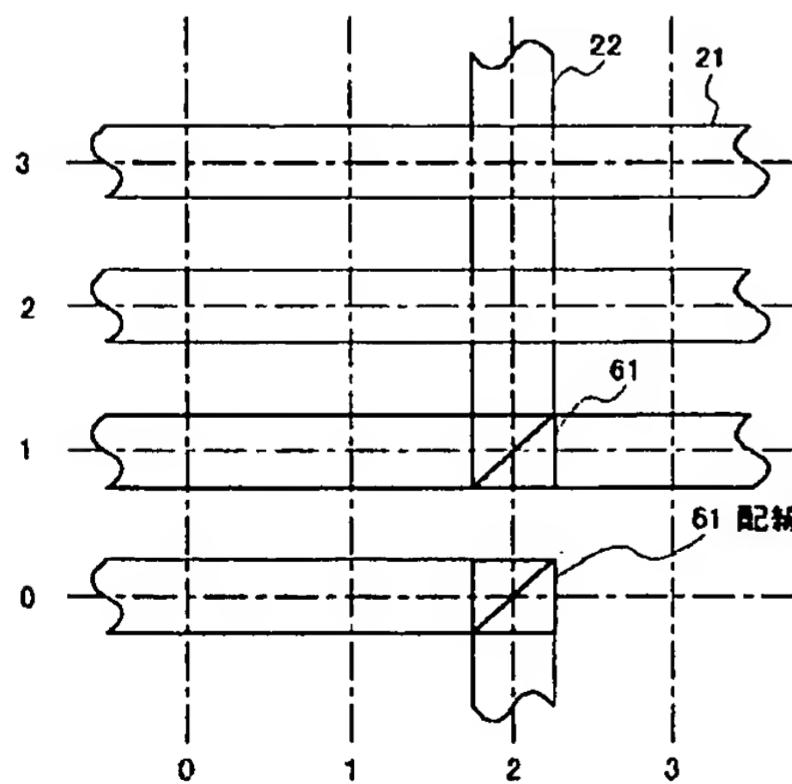
【符号の説明】

- 1 自動配置配線システム
- 2 回路図情報ファイル
- 3 セル／ブロックライプラリ
- 4 設計ルールファイル
- 5 配置配線結果出力ファイル
- 6 読込／前処理手段
- 7 自動配置配線手段本体

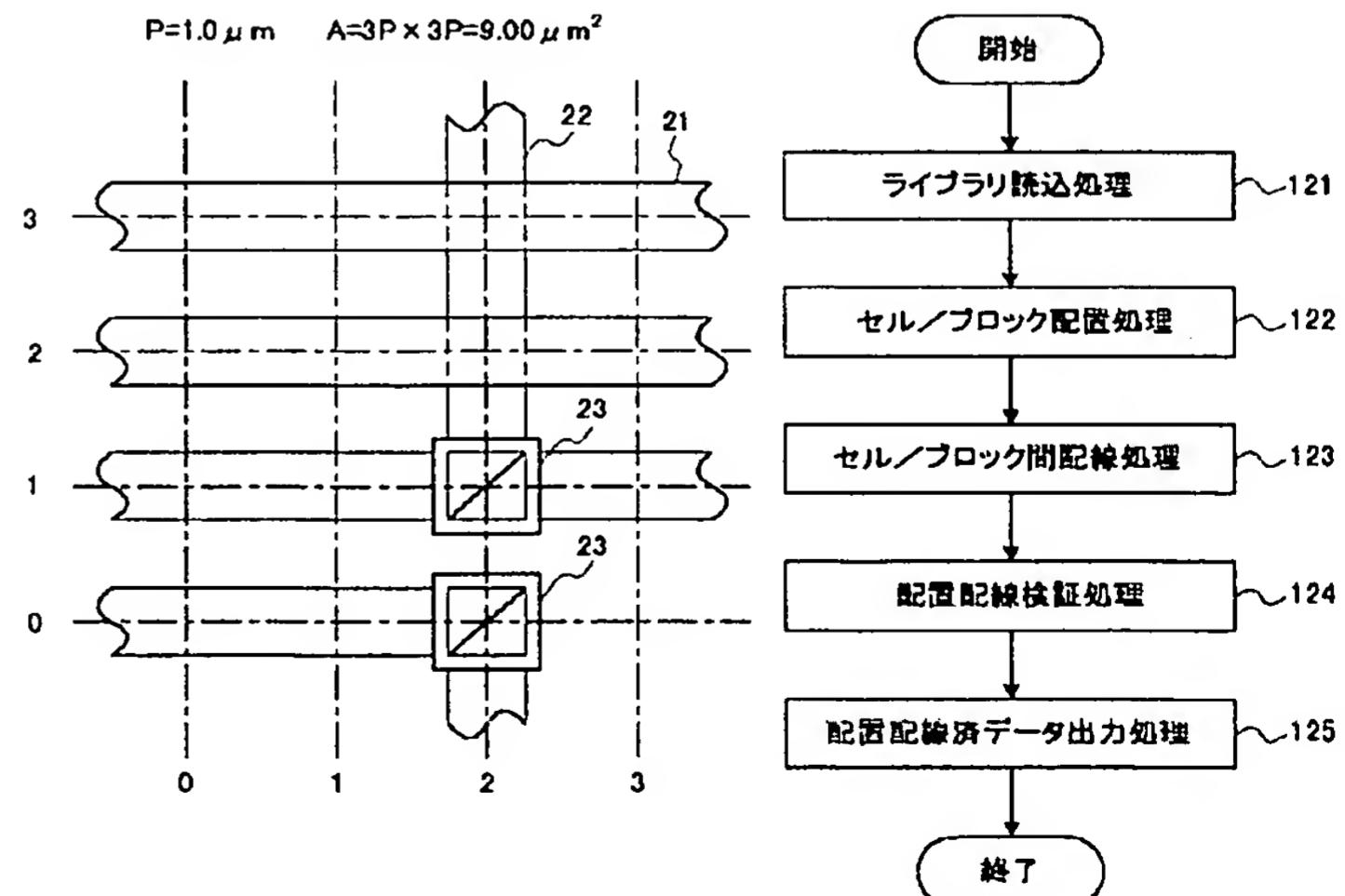
8 配置配線結果検証手段

- 11, 131 回路図情報読込処理
- 12, 132 設計ルール読込処理
- 13 ショートランルール適用処理
- 14, 133 セル／ブロック情報読込処理
- 15 ショートランルール読込ステップ
- 16, 16a ショートランルール適用判定ステップ
- 17, 17a ビアマージン変更ステップ
- 21 配線
- 10 22 下層配線
- 23, 101 ビアセル
- 61 配線時ビアセル
- 121, 121a ライプラリ読込処理
- 122 セル／ブロック配置処理
- 123 セル／ブロック間配線処理
- 124 配置配線検証処理
- 125 配置配線済データ出力処理
- 141 ビア
- 142 絶縁層
- 20 160 ビアセル置換処理
- 171, 172 原点の異なるビアセル
- M ビアマージン
- P 配線ピッチ
- S 配線最小間隔
- SL ショートランルールの対向長限度値
- SS ショートラン間隔
- V ビアの辺長
- W 配線幅

【図6】

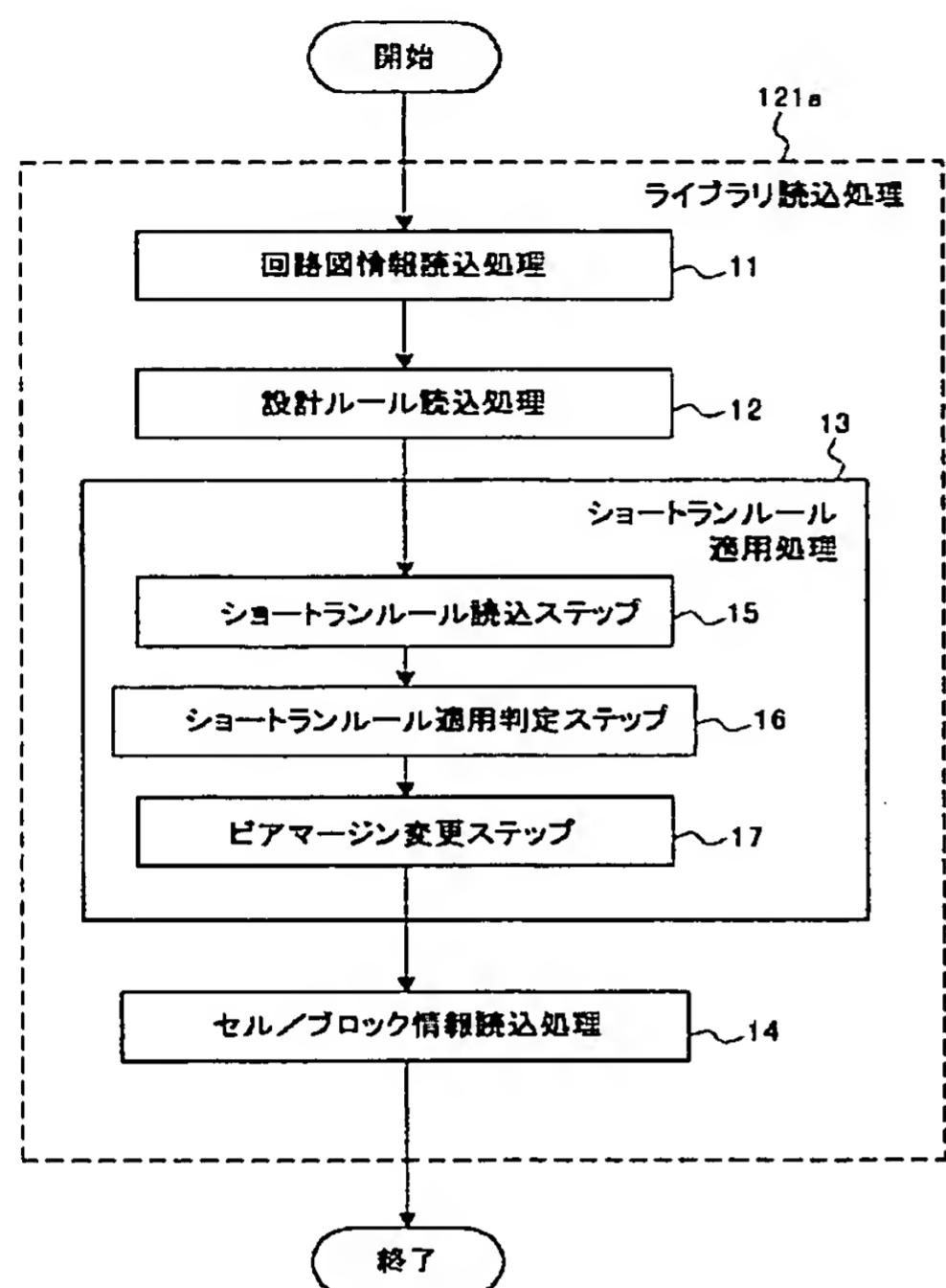


【図7】

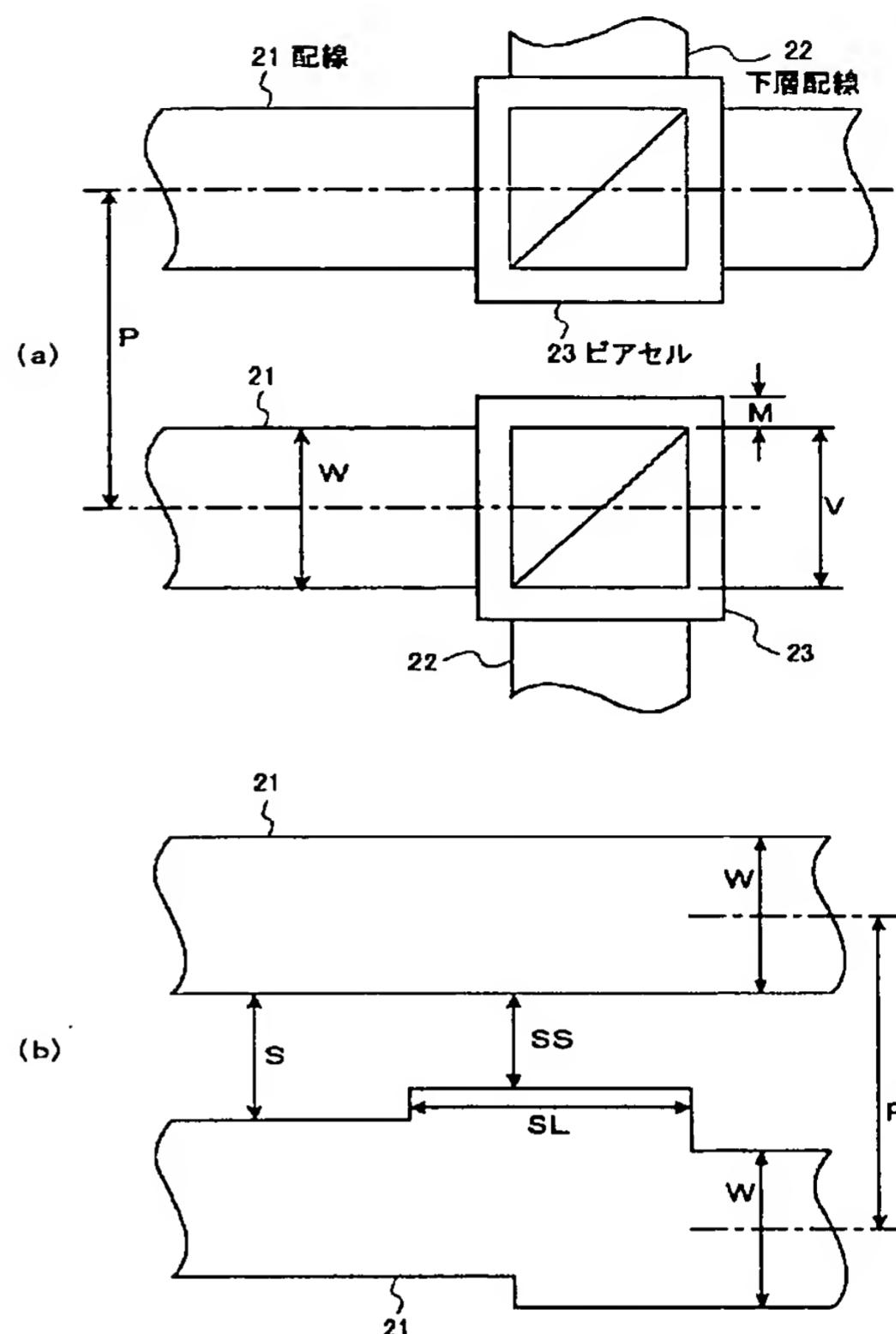


【図12】

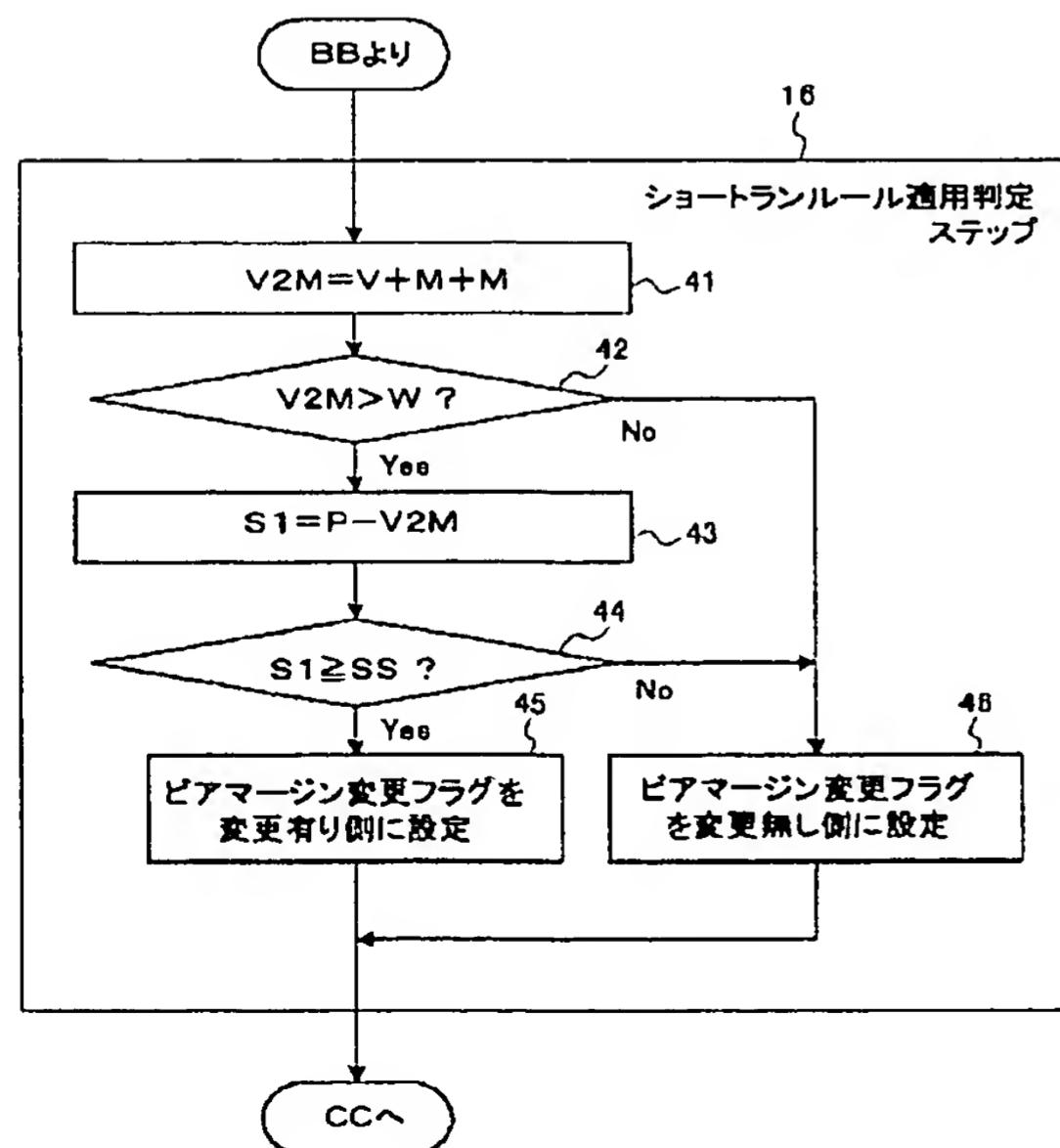
【図1】



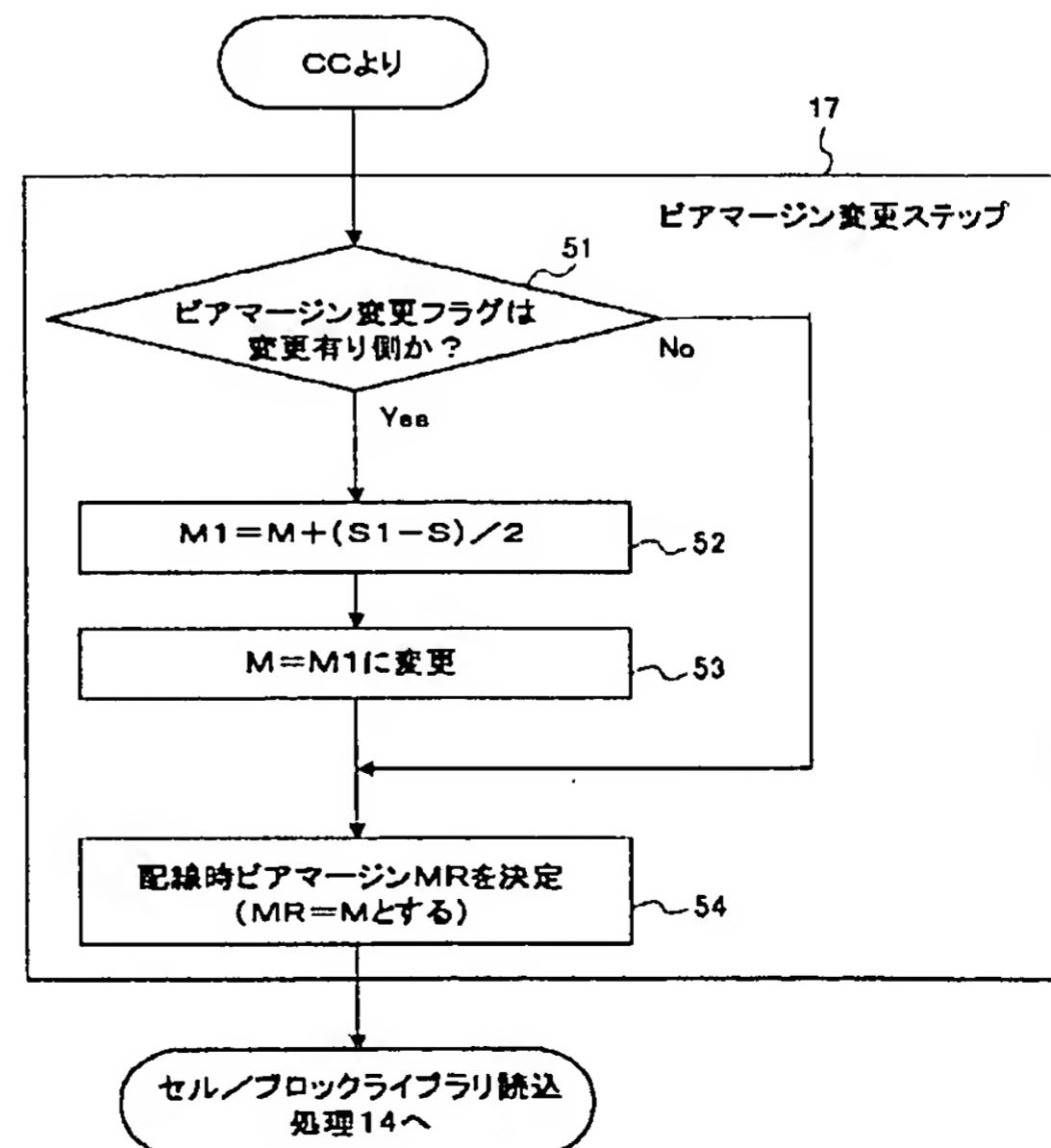
【図2】



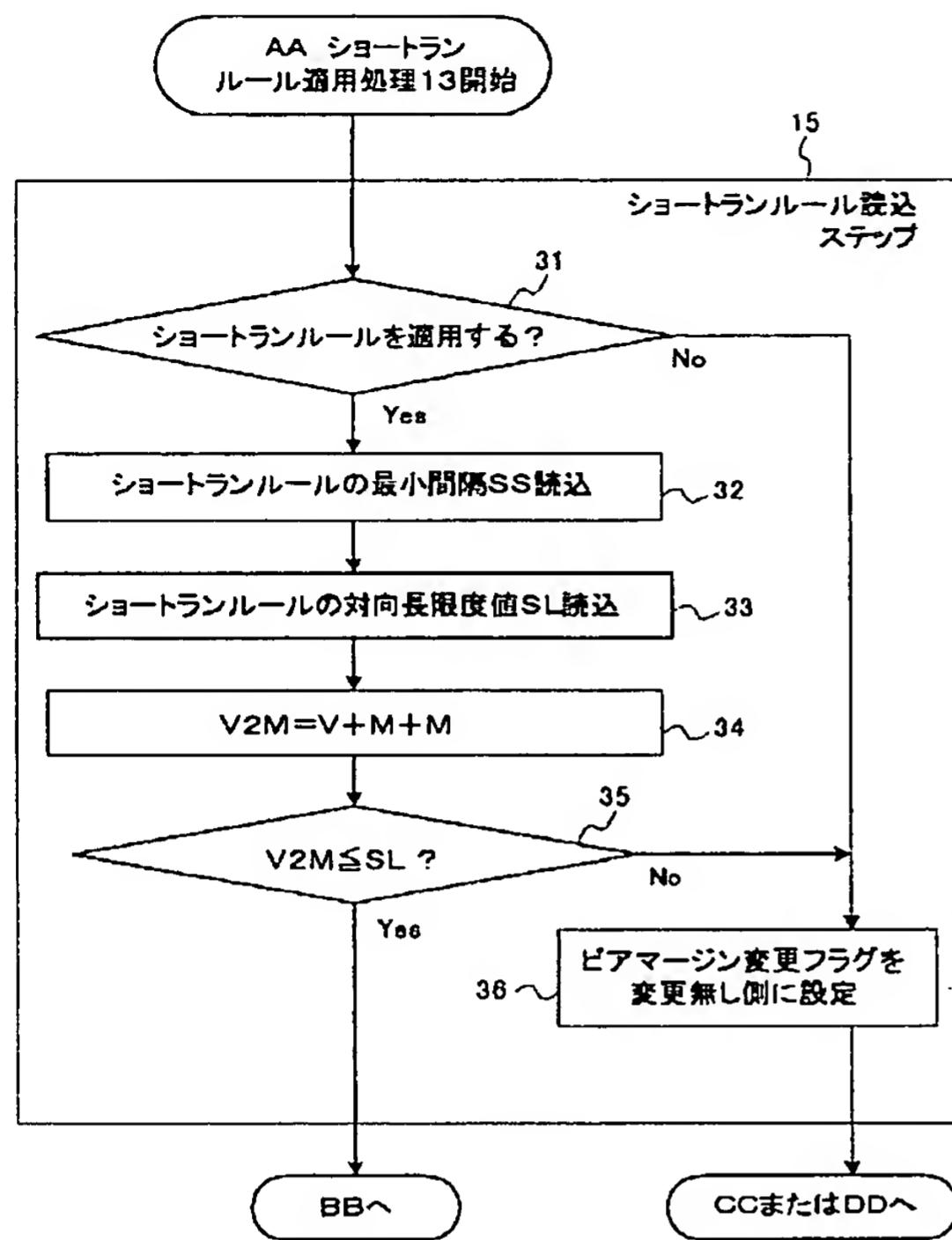
【図4】



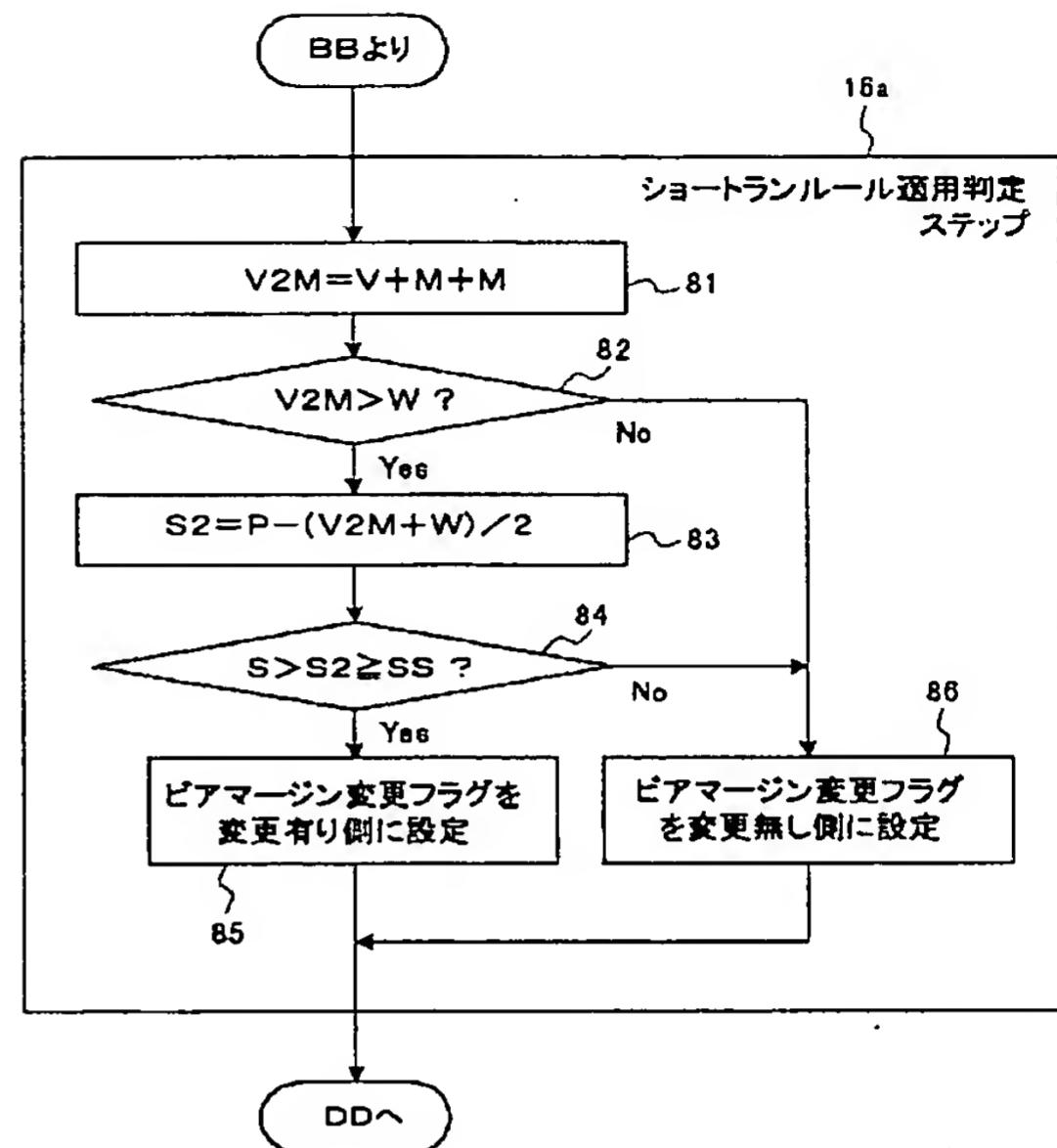
【図5】



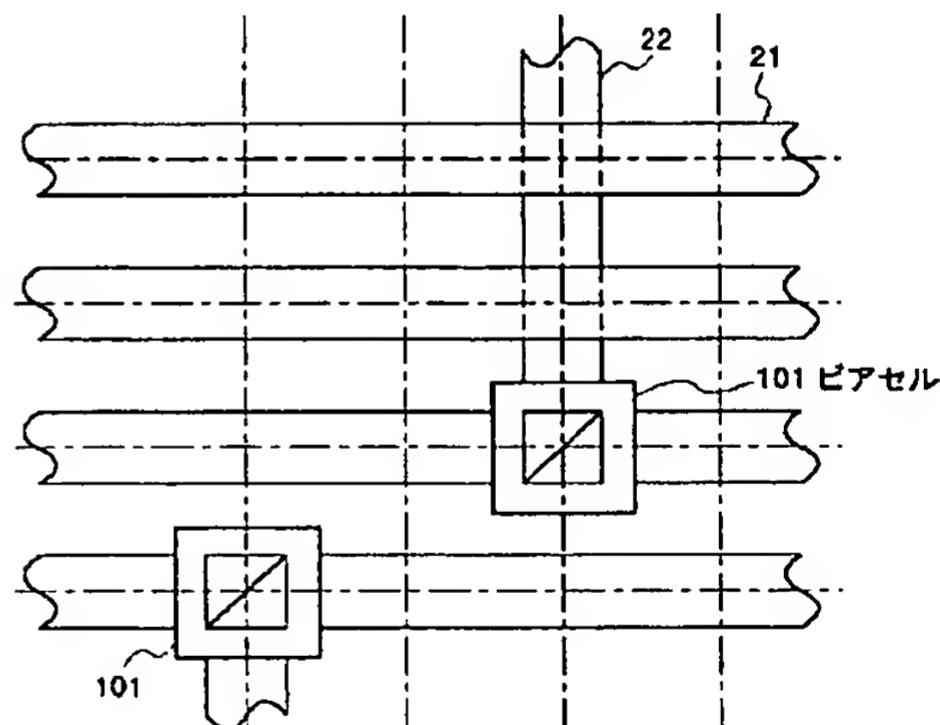
【図3】



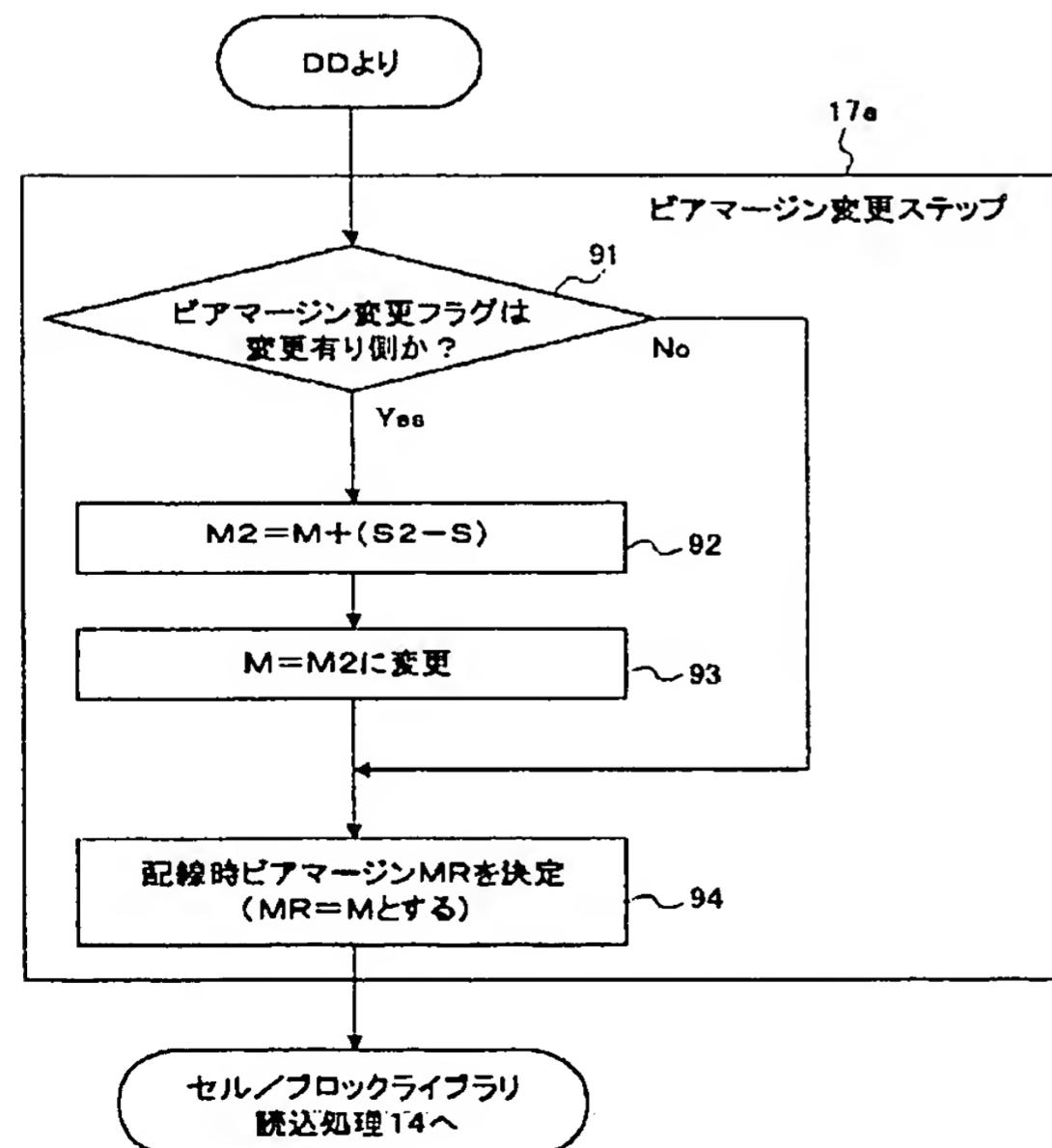
【図8】



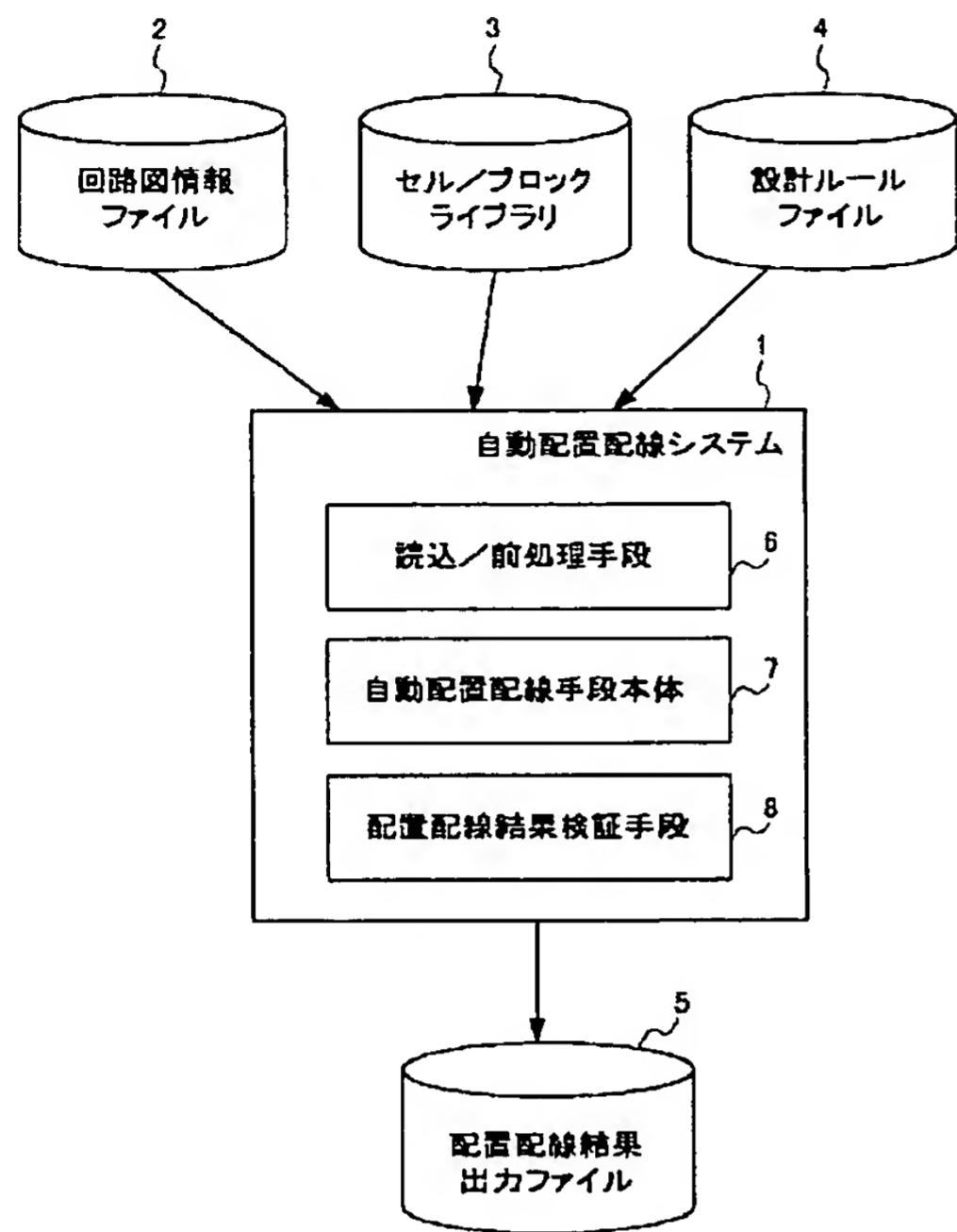
【図10】



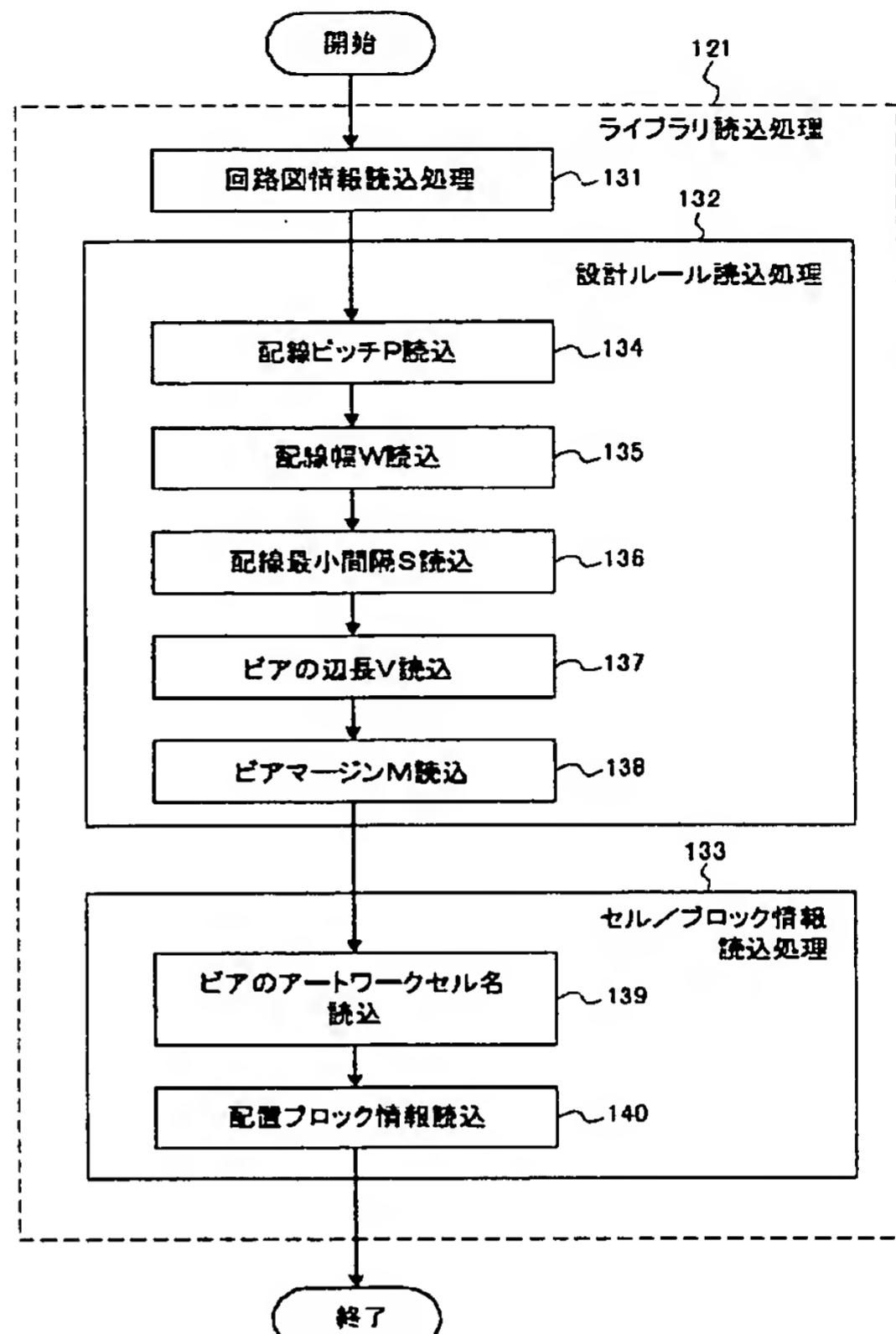
【図9】



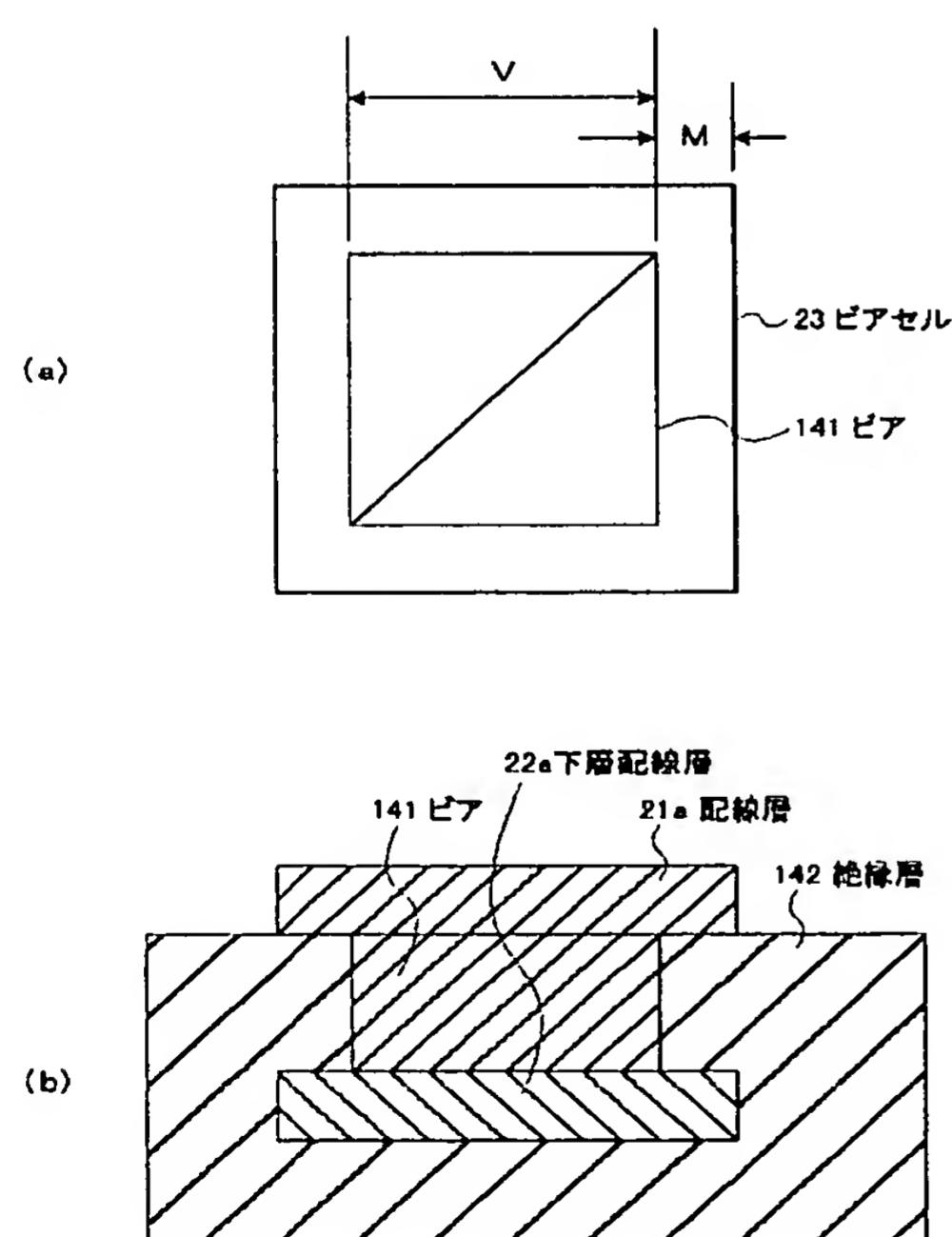
【図11】



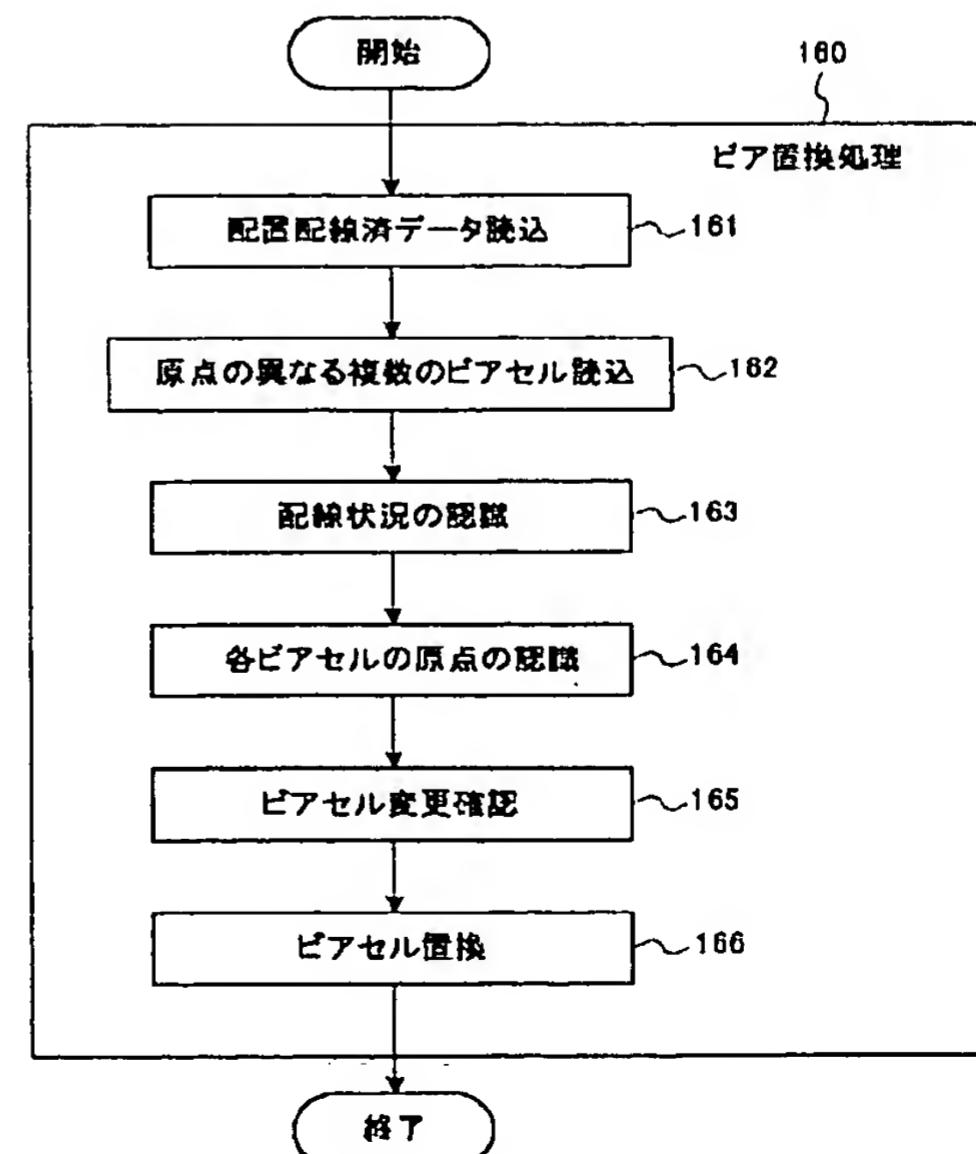
【図13】



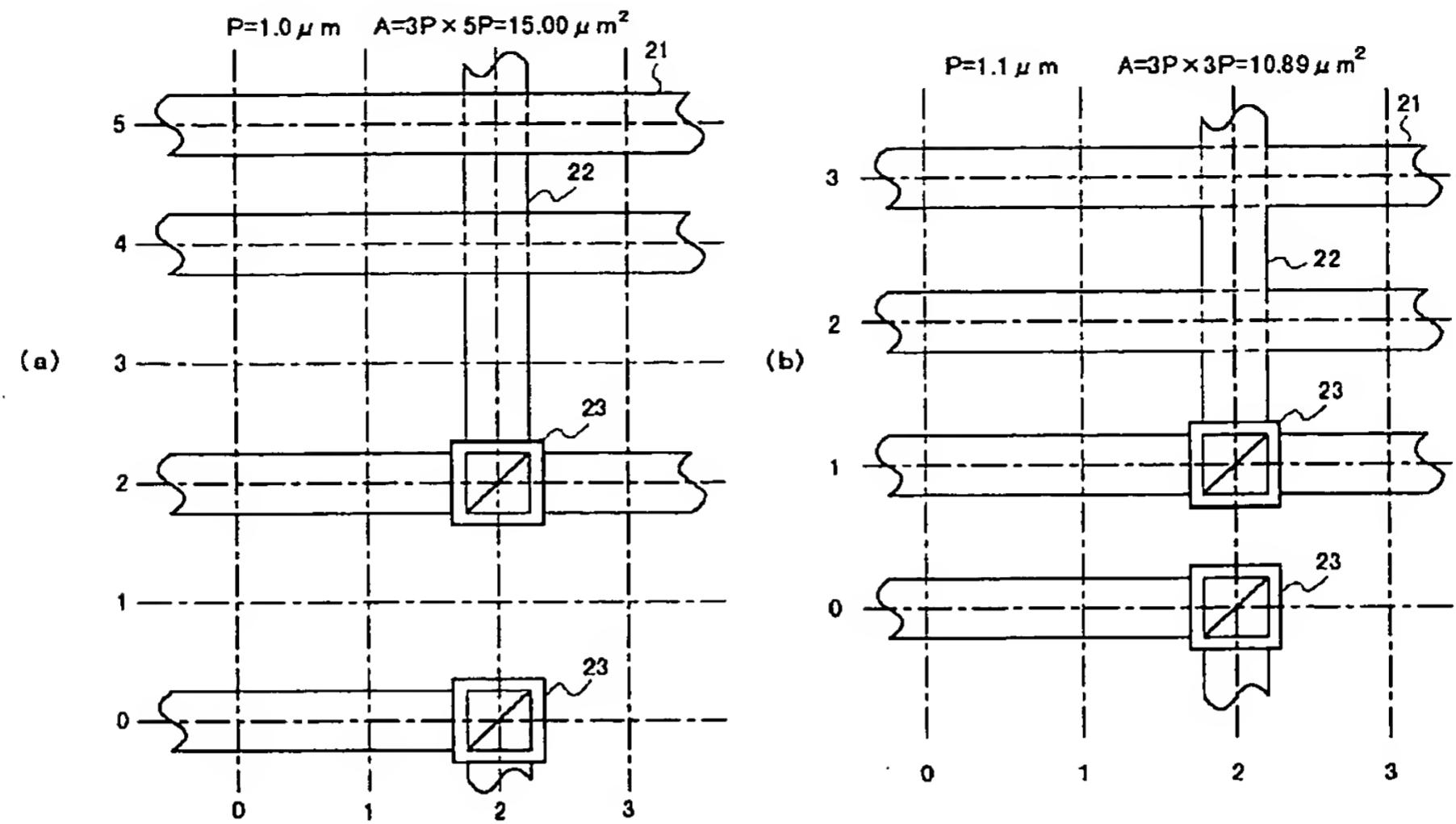
【図14】



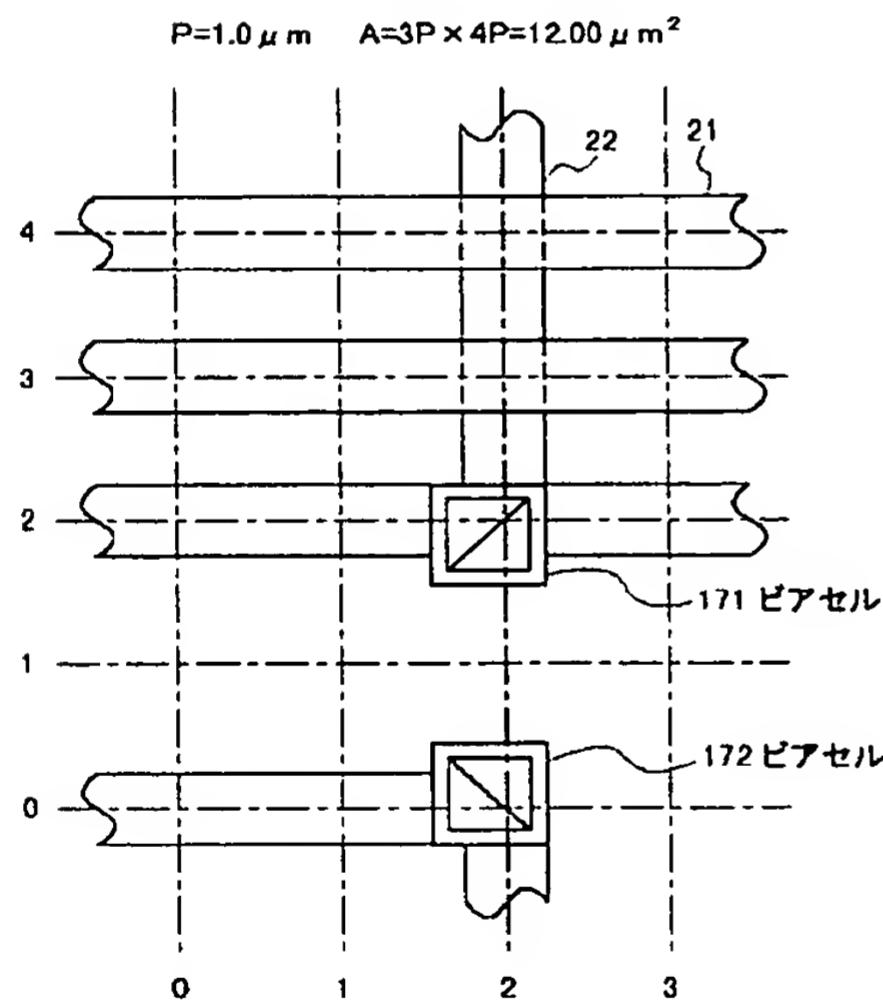
【図16】



【図15】



【図17】



フロントページの続き

F ターム(参考) 5B046 AA08 BA06 KA06
 5F064 EE02 EE08 EE09 EE14 EE19
 EE27 EE58 EE60 HH07 HH12
 HH15